

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-246594

(43)Date of publication of application : 30.08.2002

(51)Int.Cl.

H01L 29/78
H01L 21/316
H01L 21/318

(21)Application number : 2001-388832

(71)Applicant : INTERNATL BUSINESS MACH
CORP <IBM>

(22)Date of filing : 21.12.2001

(72)Inventor : BOJARCZUK NESTOR A JR
CARTIER EDUARD
GUHA SUPRATIK
RAGNARSSON LARS-AKE

(30)Priority

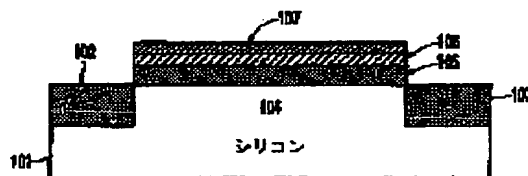
Priority number : 2001 755164 Priority date : 08.01.2001 Priority country : US

(54) ALUMINUM NITRIDE, FIELD EFFECT TRANSISTOR OF ALUMINUM OXIDE/ALUMINUM NITRIDE HETERO-STRUCTURE GATE DIELECTRIC STACK BASE, AND METHOD OF FORMING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method and structure for using a thin gate dielectric substance in a semiconductor device, such as a field effect transistor, etc.

SOLUTION: The structure (for example, a field effect transistor) and a method for manufacturing the structure are provided with a substrate having a source region, a drain region, and a channel region provided between the source and drain regions, an insulating layer arranged on the channel region, and a gate electrode arranged on the insulating layer. The insulating layer includes an aluminum nitride-containing layer arranged on the channel region.



LEGAL STATUS

[Date of request for examination] 21.12.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or

application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-246594

(P2002-246594A)

(43) 公開日 平成14年8月30日(2002.8.30)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード(参考)
H 0 1 L 29/78		H 0 1 L 21/316	M 5 F 0 5 8
21/316		21/318	M 5 F 1 4 0
21/318		29/78	3 0 1 G

審査請求 有 請求項の数27 O L (全 7 頁)

(21) 出願番号 特願2001-388832(P2001-388832)

(22) 出願日 平成13年12月21日(2001.12.21)

(31) 優先権主張番号 09/755164

(32) 優先日 平成13年1月8日(2001.1.8)

(33) 優先権主張国 米国 (US)

(71) 出願人 390009531

インターナショナル・ビジネス・マシー
ズ・コーポレーション

INTERNATIONAL BUSIN
ESS MACHINES CORPO
RATION

アメリカ合衆国10504、ニューヨーク州
アーモンク ニュー オーチャード ロー
ド

(74) 代理人 100086243

弁理士 坂口 博 (外2名)

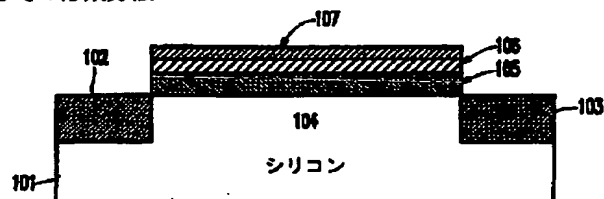
最終頁に続く

(54) 【発明の名称】 窒化アルミニウムおよび酸化アルミニウム/窒化アルミニウム・ヘテロ構造ゲート誘電体スタッ
ク・ベースの電界効果トランジスタおよびその形成方法

(57) 【要約】

【課題】 電界効果トランジスタなどの半導体デバイス
で薄いゲート誘電体を使用する方法および構造を提供す
ることにある

【解決手段】 構造(例えば電界効果トランジスタ)お
よびこの構造を製作する方法は、ソース領域、ドレイン
領域およびこれらの間のチャネル領域を有する基板と、
チャネル領域の上に配置された絶縁層と、絶縁層の上に
配置されたゲート電極を備え、絶縁層が、チャネル領域
の上に配置された窒化アルミニウムを含む層を含む。



【特許請求の範囲】

【請求項 1】ソース領域、ドレイン領域およびこれらの間のチャンネル領域を含む基板と、

前記チャンネル領域の上に配置された絶縁層と、
前記絶縁層の上に配置されたゲート電極を備え、
前記絶縁層が、前記チャンネル領域の上に配置された窒化アルミニウムを含む層を含む電界効果トランジスタ。

【請求項 2】前記絶縁層がさらに、
前記チャンネル領域の上に配置された酸化アルミニウムの層を含み、
前記窒化アルミニウムが前記酸化アルミニウムの上に配置された請求項 1 に記載のトランジスタ。

【請求項 3】前記絶縁層がさらに、
前記チャンネル領域の上に配置された酸化アルミニウムの層を含み、
前記窒化アルミニウムが前記酸化アルミニウムの下に配置された請求項 1 に記載のトランジスタ。

【請求項 4】前記絶縁層がさらに、
前記チャンネル領域の上に配置された二酸化シリコンの層を含み、
前記窒化アルミニウムが前記二酸化シリコンの上に配置された請求項 1 に記載のトランジスタ。

【請求項 5】前記絶縁層がさらに、
前記チャンネル領域の上に配置された二酸化シリコンの層を含み、
前記窒化アルミニウムが前記二酸化シリコンの下に配置された請求項 1 に記載のトランジスタ。

【請求項 6】前記絶縁層がさらに、
前記チャンネル領域の上に配置された窒化シリコンの層を含み、
前記窒化アルミニウムが前記窒化シリコンの上に配置された請求項 1 に記載のトランジスタ。

【請求項 7】前記絶縁層がさらに、
前記チャンネル領域の上に配置された窒化シリコンの層を含み、
前記窒化アルミニウムが前記窒化シリコンの下に配置された請求項 1 に記載のトランジスタ。

【請求項 8】前記絶縁層がさらに、
前記窒化アルミニウムの上に配置された二酸化シリコンの層を含む請求項 2 に記載のトランジスタ。

【請求項 9】前記絶縁層がさらに、前記酸化アルミニウムの下に配置された二酸化シリコンの層を含む請求項 2 に記載のトランジスタ。

【請求項 10】前記絶縁層がさらに、
前記窒化アルミニウムの上に配置された二酸化シリコンの層を含む請求項 4 に記載のトランジスタ。

【請求項 11】前記絶縁層がさらに、
前記窒化アルミニウムの上に配置された酸化アルミニウムの層を含む請求項 1 に記載のトランジスタ。

【請求項 12】前記絶縁層がさらに、

前記酸化アルミニウムの上に配置された二酸化シリコンの層を含む請求項 11 に記載のトランジスタ。

【請求項 13】前記絶縁層がさらに、
前記二酸化シリコンの上に配置されたシリコン層を含む請求項 12 に記載のトランジスタ。

【請求項 14】ソース領域、ドレイン領域およびこれらの間のチャンネル領域を含む基板と、
前記チャンネル領域の上に配置された絶縁層と、
前記絶縁層の上に配置されたゲート電極を備え、
前記絶縁層が、前記チャンネル領域の上に配置された酸化アルミニウムを含む第 1 の層、および前記第 1 の層の上に配置された窒化アルミニウムを含む第 2 の層を含む電界効果トランジスタ。

【請求項 15】ソース領域、ドレイン領域およびこれらの間のチャンネル領域を含む基板と、
前記チャンネル領域の上に配置された絶縁層と、
前記絶縁層の上に配置されたゲート電極を備え、
前記絶縁層が、前記チャンネル領域の上に配置された窒化アルミニウムを含む層を含む半導体デバイス。

【請求項 16】電界効果トランジスタを含む請求項 15 に記載の半導体デバイス。

【請求項 17】ソース領域、ドレイン領域およびこれらの間のチャンネル領域を含む基板と、
前記チャンネル領域の上に配置された絶縁層と、
前記絶縁層の上に配置されたゲート電極を備え、
前記絶縁層が、前記チャンネル領域の上に配置された窒化アルミニウムを含む層を含む多端子デバイス。

【請求項 18】電界効果トランジスタを含む請求項 17 に記載の多端子デバイス。

【請求項 19】ソース領域、ドレイン領域およびこれらの間のチャンネル領域を含む基板を形成する段階と、
前記チャンネル領域の上に絶縁層を配置する段階と、
前記絶縁層の上にゲート電極を配置する段階を含み、
前記絶縁層が、前記チャンネル領域の上に配置された窒化アルミニウムを含む層を含む電界効果トランジスタの形成方法。

【請求項 20】前記絶縁層がさらに、
前記チャンネル領域の上に配置された酸化アルミニウムの層を含み、
前記窒化アルミニウムが前記酸化アルミニウムの上に配置される請求項 19 に記載の方法。

【請求項 21】前記絶縁層がさらに、
前記チャンネル領域の上に配置された酸化アルミニウムの層を含み、
前記窒化アルミニウムが前記酸化アルミニウムの下に配置される請求項 19 に記載のトランジスタ。

【請求項 22】前記絶縁層がさらに、
前記チャンネル領域の上に配置された二酸化シリコンの層を含み、
前記窒化アルミニウムが前記二酸化シリコンの上に配置

される請求項19に記載の方法。

【請求項23】前記絶縁層がさらに、前記チャンネル領域の上に配置された二酸化シリコンの層を含み、前記窒化アルミニウムが前記二酸化シリコンの下に配置される請求項19に記載のトランジスタ。

【請求項24】前記絶縁層がさらに、前記チャンネル領域の上に配置された窒化シリコンの層を含み、前記窒化アルミニウムが前記窒化シリコンの上に配置される請求項19に記載の方法。

【請求項25】前記絶縁層がさらに、前記チャンネル領域の上に配置された窒化シリコンの層を含み、前記窒化アルミニウムが前記窒化シリコンの下に配置される請求項19に記載のトランジスタ。

【請求項26】ソース領域、ドレイン領域およびこれらの間のチャンネル領域を含む基板を形成する段階と、前記チャンネル領域の上に絶縁層を配置する段階と、前記絶縁層の上にゲート電極を配置する段階を含み、前記絶縁層が、前記チャンネル領域の上に配置された窒化アルミニウムを含む層を含む半導体デバイスの形成方法。

【請求項27】前記絶縁層がさらに、二酸化シリコン、酸化アルミニウムおよび窒化シリコンのうちの少なくとも1種を含む請求項1に記載のトランジスタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は一般に半導体デバイスに関し、詳細には電界効果トランジスタに関する。

【0002】

【従来の技術】現在、トランジスタなどのシリコン相補型金属酸化膜半導体（CMOS）デバイスの高誘電率ゲート誘電体は一般に、二酸化シリコン・ゲート誘電体を利用している。製造可能なデバイスで使用されている他のゲート誘電体は、ゲート誘電体スタックの一部として酸化窒化シリコン層をさらに含む。CMOSデバイスが小型化するにつれ、スケールリング則はパラメータ e/d の低減を要求する。 e および d はそれぞれ、誘電体層の誘電率および厚さである。誘電率が3.8である二酸化シリコンなどの固定ゲート誘電体材料では、デバイスが小さくなるにつれてその厚さも薄くならざるをえない。しかし物理的な厚さが約1.5～1.7ナノメートルを下回ると、誘電体層は、許容できないほど大量のリーク電流を伝える。

【0003】誘電体層を薄くしたときに生じる追加の第2の問題は、誘電体層が、自体への不純物またはドーパント原子の拡散に対して透過性になることである。その結果、このような誘電体層は、自体の下にあるシリコン基板を保護することができない。

【0004】

【発明が解決しようとする課題】従来の方法および構造の上記の問題およびその他の問題を考慮すると、本発明の目的は、電界効果トランジスタなどの半導体デバイスで薄いゲート誘電体を使用する方法および構造を提供することにある。

【0005】他の目的は、二酸化シリコン以外のゲート誘電体を使用することにある。

【0006】

【課題を解決するための手段】本発明の第1の態様では、電界効果トランジスタが、ソース領域、ドレイン領域およびこれらの間のチャンネル領域を含む基板と、チャンネル領域の上に配置された絶縁層と、絶縁層の上に配置されたゲート電極を含み、絶縁層が、チャンネル領域の上に配置された窒化アルミニウムを含む層を含む。

【0007】他の態様では絶縁層がさらに、チャンネル領域の上に配置された酸化アルミニウムの層を含み、前記窒化アルミニウムが酸化アルミニウムの上または下に配置されることが好ましい。

【0008】他の態様では絶縁層がさらに、チャンネル領域の上に配置された二酸化シリコンの層を含み、前記窒化アルミニウムが二酸化シリコンの上または下に配置されることが好ましい。

【0009】他の態様では絶縁層がさらに、チャンネル領域の上に配置された窒化シリコンの層を含み、前記窒化アルミニウムが窒化シリコンの上または下に配置されることが好ましい。

【0010】このように本発明のデバイスの構造は、少なくとも1層の誘電体層（例えば窒化アルミニウム）を含むことが好ましく、下位層が酸化アルミニウム（または二酸化シリコンまたは窒化シリコン）、上位層が窒化アルミニウムである2層の誘電体層を含むことがより好ましい。これらの材料は、アモルファス材料、多結晶材料または単結晶材料のいずれかとすることができる。

【0011】酸化アルミニウムおよび窒化アルミニウムは、さまざまな技法のいずれかでシリコン表面に直接に付着させることが好ましい。

【0012】したがって本発明は、現在使用されている二酸化シリコン・ゲート誘電体に代わる、シリコン相補型金属酸化膜半導体（CMOS）トランジスタ用の高誘電率ゲート誘電体を提供する。これが達成されるのは以下の理由による。先に述べたとおり、関連するスケールリング・パラメータは比 e/d である。ただし e は誘電率、 d は膜厚である。誘電体が二酸化シリコンであるときには、 e が3.8という低い値に制限されることに留意されたい。一方、窒化アルミニウムの誘電率は少なくとも約9～16の範囲にある。そのため、窒化アルミニウム誘電体層では、物理的な厚さを、二酸化シリコン層の少なくとも2.5倍にすることができ、それにもかかわらず同じ e/d 比を維持する。言い換えると、二酸化

シリコン膜と、この二酸化シリコン膜よりも2.5倍以上厚い窒化アルミニウム・フィルムとを互いに電氣的に等価であると言うことができる。それでも窒化アルミニウム層は、その物理的な厚さのため、二酸化シリコン層よりもはるかに低いリーク電流しか伝えない。

【0013】そのため、極めて薄いゲート誘電体層を必要とする将来の小型トランジスタは、窒化アルミニウム・ベースの誘電体を使用することができ、これによってリーク電流が小さくより小型で高速のデバイスを得ることができる。

【0014】さらに、この相対的に厚い物理層は、誘電体層を通した不純物およびドーパントの拡散を防ぎ、その下のシリコン基板を保護する。

【0015】以上の目的、態様および利点、ならびにその他の目的、態様および利点は、図面を参照した本発明の好ましい実施形態の以下の詳細な説明からいっそう深く理解されよう。

【0016】

【発明の実施の形態】次に図面、具体的には図1~4を参照する。これらの図には、本発明に基づく方法および構造の好ましい実施形態が示されている。

【0017】好ましい実施形態

図1に、多端子デバイス、電界効果トランジスタ、スイッチング・デバイス、増幅デバイスなどの半導体デバイスを形成する方法100を示す。

【0018】段階101で、ソース領域102、ドレイン領域103、およびソース領域とドレイン領域の間に形成されたチャネル領域104を有する基板101を用意する。基板は、シリコン等から形成されることが好ましい。

【0019】段階102では任意選択で、酸化アルミニウム層105（または二酸化シリコンまたは窒化シリコン）を、ソース領域とドレイン領域の間のチャネル領域上に付着させる。繰り返しになるが、酸化アルミニウム（または二酸化シリコンまたは窒化シリコン）105の形成は任意選択であることに留意されたい。この層を形成する場合には、酸化アルミニウム（または二酸化シリコンまたは窒化シリコン）の厚さが約0.1nmから約2.0nmであることが好ましい。

【0020】段階103で、窒化アルミニウムの層106を、酸化アルミニウム（または二酸化シリコンまたは窒化シリコン）（前の段階で形成した場合）の上に付着させる。

【0021】酸化アルミニウム（または二酸化シリコンまたは窒化シリコン）105を前の段階で付着させなかった場合には、窒化アルミニウム106をチャネルの上に直接に付着させる。酸化アルミニウムの形成は任意選択であることに留意されたい。窒化アルミニウムの厚さは約0.1nmから約10nmであることが好ましい。酸化アルミニウム（または二酸化シリコンまたは窒化シ

リコン）層がその下にない場合でも、窒化アルミニウムの厚さを変更する必要は必ずしもないことに留意されたい。

【0022】段階104で、窒化アルミニウム層の上に、金属またはポリシリコンから形成されたゲート電極107を形成する。

【0023】図2に、図1の方法によって形成したデバイスの構造を示す。先に述べたとおりこの構造は、少なくとも1層の誘電体層（例えば窒化アルミニウム）を含み、または下位層が酸化アルミニウム、上位層が窒化アルミニウムである2層の誘電体層を含む。これらの材料は、アモルファス材料、多結晶材料または単結晶材料のいずれかとすることができる。この実施形態で説明する状況では、上位層が窒化アルミニウムである。ただしこの状況を逆にすることができる。すなわち、最初の層を窒化アルミニウムとし、第2の層を二酸化シリコン、酸化アルミニウムまたは窒化シリコンとすることができる。

【0024】図示の構造は、標準の自己整合電界効果トランジスタのそれである。しかし、このトランジスタの変形物もこれと同じヘテロ構造誘電体を使用することができる。

【0025】図2に示すように、酸化アルミニウム（または二酸化シリコンまたは窒化シリコン）および窒化アルミニウムは、Si表面に直接に付着させる。これは、超高真空物理蒸着（UHV PVD）を含むさまざまな技法によって達成することができる。

【0026】図3に、2つのサンプルに対する電氣的な結果（キャパシタンスー電圧および電流ー電圧）を示す。これらの結果は、キャパシタンスが実際に存在することを示している。

【0027】すなわち、成長させたアルミニウム/窒化アルミニウム/シリコン（サンプル344）キャパシタおよびアルミニウム/窒化アルミニウム/酸化アルミニウム/シリコン（サンプル345）キャパシタの電氣的結果が示されている。

【0028】サンプル344の窒化アルミニウムの厚さは5nm、サンプル345の酸化アルミニウムの厚さは4nm、窒化アルミニウム層の厚さは0.8nmと見積もられた。

【0029】これらのC-Vの結果は、サンプル344で1.3nm、サンプル345で1.5nmの相当厚（二酸化シリコンに対する）を有し、リーク電流が、同じ相当厚で二酸化シリコンよりも7桁（サンプル345）および5桁（サンプル344）低い良質の界面を示している（発明者らはまた、それよりも薄い厚さでは二酸化シリコンを受け入れ可能に製作することができる相当厚約0.9nmの窒化アルミニウム・ベースの誘電フィルムを例証した）。

【0030】図4は、本発明で使用する2つのサンプ

ル（例えば窒化アルミニウムおよび酸化アルミニウム／窒化アルミニウム誘電体ヘテロ構造）の電流密度プロット、ならびに従来の構造で使用される二酸化シリコンとの比較を示すグラフである。

【0031】図4は、本発明の2つのサンプルを用いると非常に低い電流密度、特に従来のゲート誘電体（二酸化シリコンなど）に比べて非常に低い電流密度を得ることができることを示している。

【0032】したがって先に述べたとおり、本発明の特有かつ自明でない態様では、本発明のデバイスが少なくとも1層の誘電体層（例えば窒化アルミニウム）を含むことが好ましく、一層が窒化アルミニウム、もう一層が酸化Al、二酸化シリコンまたは窒化シリコンである2層の誘電体層を含むことがより好ましい。

【0033】したがって本発明は、従来の二酸化シリコン（または二酸化シリコンまたは窒化シリコン）ゲート誘電体に代わる、シリコン相補型金属酸化膜半導体（CMOS）トランジスタ用の高誘電率ゲート誘電体を提供する。これによって、リーク電流を低く保つ電気的により薄いゲート誘電体を得られ、良好な電気特性を有するSiとの界面が提供される。

【0034】いくつかの好ましい実施形態に関して本発明を説明したが、添付の請求項の趣旨および範囲に含まれる修正とともに本発明を実施できることを当業者は理解しよう。

【0035】まとめとして、本発明の構成に関して以下の事項を開示する。

【0036】（1）ソース領域、ドレイン領域およびこれらの間のチャンネル領域を含む基板と、前記チャンネル領域の上に配置された絶縁層と、前記絶縁層の上に配置されたゲート電極を備え、前記絶縁層が、前記チャンネル領域の上に配置された窒化アルミニウムを含む層を含む電界効果トランジスタ。

（2）前記絶縁層がさらに、前記チャンネル領域の上に配置された酸化アルミニウムの層を含み、前記窒化アルミニウムが前記酸化アルミニウムの上に配置された上記

（1）に記載のトランジスタ。

（3）前記絶縁層がさらに、前記チャンネル領域の上に配置された酸化アルミニウムの層を含み、前記窒化アルミニウムが前記酸化アルミニウムの下に配置された上記

（1）に記載のトランジスタ。

（4）前記絶縁層がさらに、前記チャンネル領域の上に配置された二酸化シリコンの層を含み、前記窒化アルミニウムが前記二酸化シリコンの上に配置された上記（1）に記載のトランジスタ。

（5）前記絶縁層がさらに、前記チャンネル領域の上に配置された二酸化シリコンの層を含み、前記窒化アルミニウムが前記二酸化シリコンの下に配置された上記（1）に記載のトランジスタ。

（6）前記絶縁層がさらに、前記チャンネル領域の上に配

置された窒化シリコンの層を含み、前記窒化アルミニウムが前記窒化シリコンの上に配置された上記（1）に記載のトランジスタ。

（7）前記絶縁層がさらに、前記チャンネル領域の上に配置された窒化シリコンの層を含み、前記窒化アルミニウムが前記窒化シリコンの下に配置された上記（1）に記載のトランジスタ。

（8）前記絶縁層がさらに、前記窒化アルミニウムの上に配置された二酸化シリコンの層を含む上記（2）に記載のトランジスタ。

（9）前記絶縁層がさらに、前記酸化アルミニウムの下に配置された二酸化シリコンの層を含む上記（2）に記載のトランジスタ。

（10）前記絶縁層がさらに、前記窒化アルミニウムの上に配置された二酸化シリコンの層を含む上記（4）に記載のトランジスタ。

（11）前記絶縁層がさらに、前記窒化アルミニウムの上に配置された酸化アルミニウムの層を含む上記（1）に記載のトランジスタ。

（12）前記絶縁層がさらに、前記酸化アルミニウムの上に配置された二酸化シリコンの層を含む上記（11）に記載のトランジスタ。

（13）前記絶縁層がさらに、前記二酸化シリコンの上に配置されたシリコン層を含む上記（12）に記載のトランジスタ。

（14）ソース領域、ドレイン領域およびこれらの間のチャンネル領域を含む基板と、前記チャンネル領域の上に配置された絶縁層と、前記絶縁層の上に配置されたゲート電極を備え、前記絶縁層が、前記チャンネル領域の上に配置された酸化アルミニウムを含む第1の層、および前記第1の層の上に配置された窒化アルミニウムを含む第2の層を含む電界効果トランジスタ。

（15）ソース領域、ドレイン領域およびこれらの間のチャンネル領域を含む基板と、前記チャンネル領域の上に配置された絶縁層と、前記絶縁層の上に配置されたゲート電極を備え、前記絶縁層が、前記チャンネル領域の上に配置された窒化アルミニウムを含む層を含む半導体デバイス。

（16）電界効果トランジスタを含む上記（15）に記載の半導体デバイス。

（17）ソース領域、ドレイン領域およびこれらの間のチャンネル領域を含む基板と、前記チャンネル領域の上に配置された絶縁層と、前記絶縁層の上に配置されたゲート電極を備え、前記絶縁層が、前記チャンネル領域の上に配置された窒化アルミニウムを含む層を含む多端子デバイス。

（18）電界効果トランジスタを含む上記（17）に記載の多端子デバイス。

（19）ソース領域、ドレイン領域およびこれらの間のチャンネル領域を含む基板を形成する段階と、前記チャネ

ル領域の上に絶縁層を配置する段階と、前記絶縁層の上にゲート電極を配置する段階を含み、前記絶縁層が、前記チャネル領域の上に配置された窒化アルミニウムを含む層を含む電界効果トランジスタの形成方法。

(20) 前記絶縁層がさらに、前記チャネル領域の上に配置された酸化アルミニウムの層を含み、前記窒化アルミニウムが前記酸化アルミニウムの上に配置される上記(19)に記載の方法。

(21) 前記絶縁層がさらに、前記チャネル領域の上に配置された酸化アルミニウムの層を含み、前記窒化アルミニウムが前記酸化アルミニウムの下に配置される上記(19)に記載のトランジスタ。

(22) 前記絶縁層がさらに、前記チャネル領域の上に配置された二酸化シリコンの層を含み、前記窒化アルミニウムが前記二酸化シリコンの上に配置される上記(19)に記載の方法。

(23) 前記絶縁層がさらに、前記チャネル領域の上に配置された二酸化シリコンの層を含み、前記窒化アルミニウムが前記二酸化シリコンの下に配置される上記(19)に記載のトランジスタ。

(24) 前記絶縁層がさらに、前記チャネル領域の上に配置された窒化シリコンの層を含み、前記窒化アルミニウムが前記窒化シリコンの上に配置される上記(19)に記載の方法。

(25) 前記絶縁層がさらに、前記チャネル領域の上に配置された窒化シリコンの層を含み、前記窒化アルミニウムが前記窒化シリコンの下に配置される上記(19)に記載のトランジスタ。

(26) ソース領域、ドレイン領域およびこれらの間のチャネル領域を含む基板を形成する段階と、前記チャネ

ル領域の上に絶縁層を配置する段階と、前記絶縁層の上にゲート電極を配置する段階を含み、前記絶縁層が、前記チャネル領域の上に配置された窒化アルミニウムを含む層を含む半導体デバイスの形成方法。

(27) 前記絶縁層がさらに、二酸化シリコン、酸化アルミニウムおよび窒化シリコンのうちの少なくとも1種を含む上記(1)に記載のトランジスタ。

【図面の簡単な説明】

【図1】本発明に基づく流れ図である。

【図2】本発明に基づく図1の方法100によって製作した構造を示す図である。

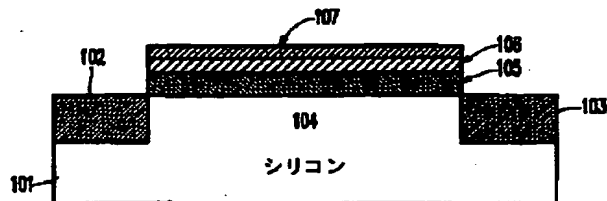
【図3】本発明で使用する窒化アルミニウムおよび酸化アルミニウム/窒化アルミニウム誘電体ヘテロ構造のキャパシタンス/ゲート電圧プロットを示すグラフである。

【図4】本発明で使用する2つのサンプル（例えば窒化アルミニウムおよび酸化アルミニウム/窒化アルミニウム誘電体ヘテロ構造）の電流密度プロット、ならびに従来の構造で 사용되는二酸化シリコンとの比較を示すグラフである。

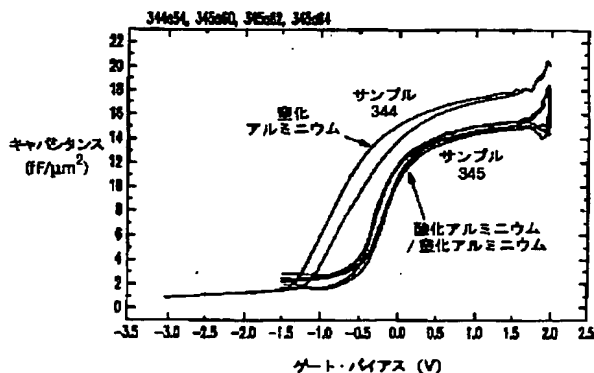
【符号の説明】

- 101 基板
- 102 ソース領域
- 103 ドレイン領域
- 104 チャネル領域
- 105 酸化アルミニウム（または二酸化シリコンまたは窒化シリコン）層
- 106 窒化アルミニウム層
- 107 ゲート電極

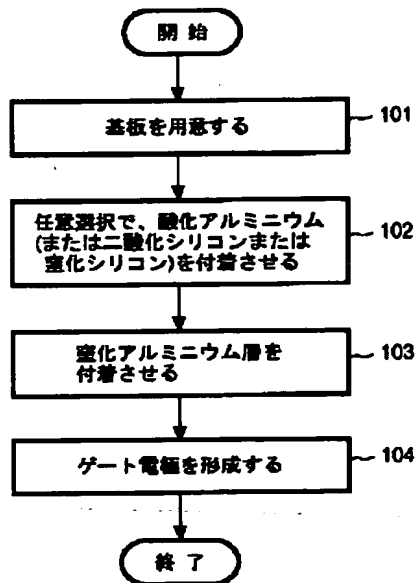
【図2】



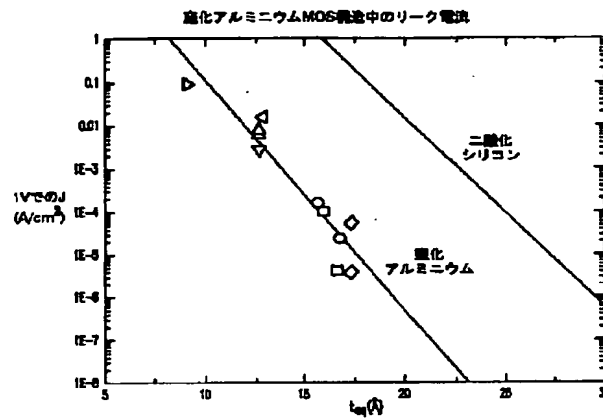
【図3】



【図 1】



【図 4】



フロントページの続き

(72) 発明者 ネストール・エイ・ボヤシチュク・ジュニア
アメリカ合衆国10601 ニューヨーク州ポ
ーキプシー デービッド・ドライブ 61
(72) 発明者 エドワード・カーティエ
アメリカ合衆国10024 ニューヨーク州ニ
ューヨーク 85番ストリート 101ダブリ
ュー

(72) 発明者 スプラティク・グハ
アメリカ合衆国10514 ニューヨーク州チ
ャパクァ ミルウッド・ロード 569
(72) 発明者 ラシ・アケ・ラグナツソン
アメリカ合衆国10536 ニューヨーク州カ
トナ セダー・ロード 45
Fターム(参考) 5F058 BA20 BD02 BD04 BD05 BD10
BD12 BF01 BJ04
5F140 AA19 AA24 AB03 BA01 BD01
BD04 BD05 BD07 BD11 BE09
BF01 BF04 BF05